

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. ⁷ G06F 13/00	(11) 공개번호 특2000-0053380
(21) 출원번호 2000년01월04일	(43) 공개일자 2000년08월25일
(30) 우선권주장 60/114770 1999년01월05일 미국(US) 9/416625 1999년10월12일 미국(US)	
(71) 출원인 루센트 테크놀러지스 인크	
(72) 발명자 미할중국 뉴저지 머레이 쿨 마운틴 애비뉴 600 (우편번호 : 07974-0636) 데일미셸지	
	미국펜실베니아18951케이커타운올드베들레헴로드1239
	라티프파루크아마드
	미국펜실베니아19446랜즈데일알바크로드2205
(74) 대리인 이병호	

심사청구 : 없음

(54) 다양한 기능 모듈 접속용 포트 매니저 제어기

요약

본 발명은 컴퓨터 또는 통신 시스템 내부에 배치된 다양한 기능 모듈들을 접속시키기 위한 개선된 방법 및 장치에 관한 것이다. 본 발명의 원리에 따라, 시스템 메모리나 CPU와 같은 호스트 기기 및 각각의 기능 모듈과의 인터페이스를 가진 포트 매니저 제어기(PMC)를 제공한다. PMC 제어기는 로컬 버스와 아비트레이터를 대신한다. 기능 모듈이 호스트 기기에 액세스 요구를 하면, PMC는 상기 요구를 모두 처리한다. PMC 제어기는 우선순위, 효율 또는 타이밍 같은 예정된 파라미터에 따라 입력되는 요구들을 스케줄링한다.

PMC는 한번에 1개 이상의 요구를 처리할 수 있다. 또한, 부하 상태에 따라 다이나믹하게 적응할 수 있으며, 가용 대역폭을 효율적으로 이용하시 위해 입력되는 요구를 재배열한다. 그러므로, PMC는 대기 시간을 단축시키고, 컴퓨터 또는 통신 시스템의 성능을 개선시킨다. 또한 PMC에 새로운 모듈이 부가되거나 오래된 모듈이 제거될 때 버스 구조를 변경할 필요가 없으며, 오래된 모듈을 재사용할 수도 있다. 또한, PMC는 내부 버퍼의 용량을 줄여서 제조 비용을 낮춘다.

대표도

도3

색인어

PMC, 기능 모듈, 액세스 요구

영세서

도면의 간단한 설명

도 1은 종래의 컴퓨터 또는 통신 시스템의 다양한 기기를 도시하는 블록 선도.

도 2는 본 발명에 일실시예에 따른 컴퓨터 또는 통신 시스템을 도시하는 블록 선도.

도 3은 도 2의 포트 매니저 제어기내에 배치된 다양한 기기들을 도시하는 블록 선도.

* 도면의 주요부분에 대한 부호의 설명 *

101, 103, 105, 107, 109: 기능 모듈	120: 로컬 버스
151, 153, 155, 157, 159: 외부 장치	122: 아비트레이터
130: 호스트 기기	200: 포트 매니저 제어기(PMC)
202: 두지점간 접속	321: 단방향 제어 링크
322: 양방향 데이터 링크	323: 단방향 주소 링크
301: 데이터 유효 논리(DVL)	303: 우선순위 분배 논리(PRL)

305: 액세스 승인 논리(305)

307: 방향 및 데이터형 제어 논리(ODFCL)

309: 시스템 인터페이스 코어 논리(SICL)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 컴퓨터 및 통신 시스템에 관한 것이다. 특히, 본 발명은 외부 장치를 컴퓨터 또는 통신 시스템에 접속시키기 위한 기술에 관한 것이다.

여러 컴퓨터 또는 통신 시스템은 상기 시스템과 1개 이상의 외부 장치와의 인터페이스를 위해 1개 이상의 기능 모듈에 의존하여 주변 입출력 기능 혹은 다른 네트워크와의 데이터 교환 기능을 수행한다. 기능 모듈은 컴퓨터 또는 통신 시스템 외부 장치와 시스템의 내부 기기 사이의 데이터 통신을 용이하게 하는 입출력 블록이다. 예를 들어, 기능 모듈은 프로세서 코어와 인터페이스 코어를 포함한다. 예를 들어, 내부 기기는 시스템 메모리 및 중앙 처리 장치(CPUs)와 같은 호스트 기기를 포함한다. 예를 들어, 외부 장치는 하드 디스크 드라이브, 프린터, 외부 모뎀, 플라피 디스크 드라이브, 및 CD-ROMs를 포함한다. 일반적으로, 상기 기능 모듈과 호스트 기기는 단일 회로 기판에 배치되어 있거나, 단일 칩에 집적화된다.

기능 모듈은 내부 기기와의 인터페이스가 필요하다. 이런 인터페이스를 통해 다양한 기능 모듈 사이에서 데이터 정보를 공유할 수 있게 된다. 예를 들어, 기능 모듈은 외부 장치로부터 데이터를 수신하고 시스템 메모리로 전송(혹은 시스템 메모리에 '기록')한다. 또는, 기능 모듈은 시스템 메모리로부터 데이터를 수신(혹은 시스템 메모리로부터 '판독')하고 외부 장치에 상기 데이터를 전송한다.

도 1은 5개의 기능 모듈(101 내지 109)이 로컬 버스(120)를 통해 내부 접속되는 종래의 시스템(100)을 도시하는 블록 선도이다. 예를 들어, 기능 모듈(101)은 IEEE 1394-95 제어기이며, 기능 모듈(103)은 주변기기 인터페이스(PCI) 브리지이며, 기능 모듈(107)은 병용 직렬버스(USB)이며, 기능 모듈(109)은 고속의 집적화된 전자 장치(IDE) 제어기이다. 부가로, 각각의 기능 모듈은 외부 장치(151 내지 159)(기능 모듈과 호스트 기기가 배치된 집적 회로의 외부에 있음)와 바로 접속되어 있다.

로컬 버스(120)는 중앙의 아비트레이터(122)에 접속되어 있으며, 다음에 아비트레이터는 호스트 컴퓨터(130)(즉, 시스템 메모리 또는 CPU)에 바로 접속되어 있다. 아비트레이터(122)는 로컬 버스(120)의 통행량을 제어한다. 로컬 버스(120)의 통행량은 호스트 기기(13)와 기능 모듈(101 내지 109) 사이에 교환되는 데이터를 나타낸다. 기능 모듈(101 내지 109)이 호스트 기기(130)에 기록 또는 판독을 실행할 필요가 있을 때, 기능 모듈은 로컬 버스(120)에 액세스되어야 한다. 로컬 버스(120)에 액세스하기 위해서, 기능 모듈은 아비트레이터(122)에 액세스 요구를 해야 한다. 로컬 버스(120)의 현재 통행량에 의존하여, 아비트레이터(122)는 상기 액세스 요구를 승인하거나 거부할 수 있다. 액세스가 승인되면, 기능 모듈은 예정된 시간 동안 혹은 예정된 바이트수만큼 데이터를 교환한다. 데이터 교환이 완료되면, 로컬 버스(120)에 액세스를 해제한다. 이때에, 다른 기능 모듈(혹은 동일한 기능 모듈)이 로컬 버스(120)에 액세스할 수 있고, 이런 사이클이 계속 반복된다.

각각의 기능 모듈은 로컬 버스(120)에 바로 접속되나, 오직 하나의 모듈만이 로컬 버스(120)를 통해 데이터를 전송하거나 수신할 수 있다. 아비트레이터(122)는 한번에 하나의 액세스 요구를 처리할 수 있다. 액세스 요구가 발생하면 모든 기능 모듈이 폴드(polled)되나 오직 하나씩 기능 모듈만이 고정된 우선순위에 따라 액세스를 승인 받게 되는 버스 중재작용(arbitration)이 아비트레이터(122)에 의해 수행된다. 제 2 기능 모듈이 버스에 액세스 요구를 할 때 이미 제 1 기능 모듈이 로컬 버스(120)를 사용(즉, 데이터를 교환)하고 있으면, 아비트레이터(122)는 제 2 기능 모듈의 액세스 요구를 일시 보유한다. 제 1 기능 모듈이 로컬 버스(120)에 액세스를 완료(즉, 데이터 교환을 완료)한 이후에, 아비트레이터(122)는 제 2 기능 모듈의 액세스 요구를 승인한다. 이렇게, 제 2 기능 모듈은 제 1 기능 모듈이 데이터 교환을 완료할 때까지 대기해야 한다. 이런 대기 시간(latency)은 제 2 기능 모듈에 의해 데이터 교환이 완료되는데 걸리는 실제 시간에 더해져서, 컴퓨터 또는 통신 시스템 성능을 저하시킨다.

종래의 시스템(100)은 또한 기능 모듈(101 내지 109)이 일시적으로 데이터를 저장할 내부 버퍼(즉, 메모리 공간)를 필요로 한다. 기능 모듈이 외부 장치로부터 데이터를 수신하나 로컬 버스(120)에 즉시 액세스할 수 없으면, 기능 모듈은 버스에 대한 액세스 요구가 승인될 때까지 상기 데이터를 보유하고 있어야 한다. 대기 시간이 길어질수록 내부 버퍼도 커지게 된다. 내부 버퍼는 고가이며, 버퍼의 수와 크기에 비례하여 비용이 증가한다.

일반적으로, 종래의 시스템(100)에서, 최대 동작 주파수로 작동하기 위해서 로컬 버스(12)는 균형이 맞춰져야 한다. 새로운 기능 모듈이 로컬 버스(120)에 부가되거나, 오래된 기능 모듈이 로컬 버스(120)에서 제거될 때, 종래 시스템은 최대 동작 주파수를 내도록 다시 균형이 맞춰진다. 이런 재균형을 이루기 위해서 많은 비용이 든다. 또한, 로컬 버스의 디자인과 구조를 개선하거나 항상시키면, 로컬 버스(120)에 액세스하는 기능 모듈의 디자인을 개선하거나 항상시킬 필요가 있으므로 비용이 증가한다.

종래의 시스템(100)에서, 각각의 기능 모듈은 예정된 처리율(throughput)(즉, 최대 대역폭)을 가지고 있다. 그러므로, 특정 기능 모듈이 데이터 교환을 완료하기 위해 로컬 버스(120)에 부가적인 대역폭을 필요로 하면, 기능 모듈은 부가적인(다른 기능 모듈이 사용하지 않는) 대역폭이 사용 가능할지라도 기능 모듈은 할당된 최대 대역폭을 초과할 수 없다. 데이터 교환을 완료하기 위해, 기능 모듈은 로컬 버스(120)에 다시 액세스 요구를 하고 대기한다. 이런 동작은 로컬 버스(120)의 가용 대역폭을 비효율

적으로 사용하게 하고, 성능을 저하시킨다.

발명이 이루고자 하는 기술적 과제

컴퓨터 또는 통신 시스템 내부의 다양한 기능 모듈들을 접속시키기 위한 개선된 방법 및 장치를 제안한다. 본 발명의 원리에 따라, 시스템 메모리나 CPU와 같은 호스트 기기 및 각각의 기능 모듈과의 인터페이스를 가진 포트 매니저 제어기(PMC)를 제공한다. PMC 제어기는 로컬 버스와 아비트레이터를 대신한다. 기능 모듈이 호스트 기기에 대한 액세스 요구를 하면, PMC는 상기 요구를 모두 처리한다. PMC 제어기는 우선순위, 효율 또는 타이밍 같은 예정된 파라메터에 따라 입력되는 요구들을 스케줄링한다.

PMC는 한번에 1개 이상의 액세스 요구를 처리할 수 있다. 또한, 부하 상태에 따라 다이나믹하게 적응할 수 있으며, 가용 대역폭을 효과적으로 이용하기 위해 입력되는 액세스 요구를 재배울한다. 그러므로, PMC는 대기 시간을 단축시키고, 컴퓨터 또는 통신 시스템의 성능을 향상시킨다. 또한 PMC에 새로운 모듈이 부가되거나 오래된 모듈이 제거될 때 버스 구조를 변경할 필요가 없으며, 오래된 모듈을 재사용할 수도 있다. 또한 PMC는 내부 버퍼의 용량을 줄여서 재조 비용을 낮출 수 있다.

일실시예에서, 본 발명에 있어 다수의 기능 모듈에 의한 호스트 기기에 대한 액세스를 제어하는 포트 매니저 제어기는 (a)호스트 기기에 접속되도록 구성된 호스트 기기 포트; 및 (b)각각 하나의 기능 모듈에 두지점간 접속 방식으로 접속되는 2개 이상의 기능 모듈 포트를 포함하고 있다. PMC는 (1)PMC의 제 1 기능 모듈 포트에서 제 1 기능 모듈로부터 제 1 액세스 요구를 수신하고, (2)호스트 기기 포트 및 제 1 기능 모듈 포트를 통해 제 1 기능 모듈과 호스트 기기 사이의 데이터 교환을 위한 제 1 액세스 세션을 스케줄링하도록 구성된다.

발명의 구성 및 작용

도 2는 본 발명의 양호한 일실시예에 따른 컴퓨터 또는 통신 시스템을 도시하는 블록 선도이다. 도 2는 두지점간 접속(202)을 통해 기능 모듈(101 내지 109)에 바로 접속된 포트 매니저 제어기(200:PMC)의 예를 도시한다. 또한 PMC(200)는 호스트 포트(H)를 통해 호스트 기기(130)에 바로 접속된다.

도 2의 실시예에서, PMC(200)는 포트(A 내지 G)인 7개의 기능 모듈을 포함한다. 포트(A 내지 C)는 기능 모듈(101)과 접속되어 있고, 각각의 포트에서 기능 모듈(101)로 혹은 그 역방향으로 단방향 데이터 흐름만이 발생한다. 포트(A, B)는 호스트 기기(130)로부터 데이터를 수신하여 기능 모듈(101)에 전송(호스트 기기(130)로부터 판독)할 때 사용된다. 포트(C)는 기능 모듈(101)로부터 호스트 기기(130)에 데이터를 전송(호스트 기기(130)에 기록)할 때 사용된다. PMC(200)의 포트(D 내지 G)는 기능 모듈(103 내지 109)에 각각 접속된다. 각각의 포트(D 내지 G)는 양방향의 데이터 흐름(즉, 기록 및 판독)이 가능하다.

도 2는 기능 모듈(101)이 3개의 포트에 접속되고 나머지 기능 모듈(103 내지 109)이 각각 1개 포트에 접속되는 예를 도시한다. 도 2는 각각의 기능 모듈이 1개 이상의 포트에 접속되는 것을 도시한다. 또한, 다른 실시예에서, 본 발명의 PMC는 7개 이상 혹은 이하의 포트를 구비한다.

본 발명에서, 각각의 포트는 다른 형식의 데이터 전송을 하도록 옵션을 가진다. 예를 들어, 포트(A)는 데이터를 최소화시키면서 데이터 교환, 즉 메모리에 기록이 실행되도록 데이터형을 처리한다. 포트(B)는 데이터의 전달 시간이 중요한 데이터 전송, 즉 오디오 또는 비디오 데이터 전송을 한다. 그러므로, 포트(A, B)는 다른 대역폭을 가지며, 전송시 PMC가 충족시켜야 하는 요구사항도 다르다. 본 발명의 PMC(200)는 상기 목적을 실현한다.

또한, 각각의 기능 모듈은 전용의 두지점간 접속(202)을 통해 PMC에 접속되므로, 다수의 기능 모듈이 병렬로 PMC에 액세스 요구를 할 수 있다. PMC(200)는 데이터 교환이 현재 진행중일지라도 액세스 요구를 수신하고 처리하여 가용 대역폭을 효율적으로 사용할 수 있다. 예를 들어, PMC(200)는 각각의 클럭 주기에서, 호스트 기기(130)로부터 데이터가 전송(송신 또는 수신)되도록 순서에 따라 액세스를 스케줄링한다. 종래의 기술에서, 아전 액세스로 데이터 교환이 완료되면 다음의 액세스 요구가 송신되고, 데이터 교환이 완료된 이후 다음의 액세스가 스케줄링되는 자연 시간동안 클럭 주기가 낭비된다.

그러므로, 도 1의 종래의 시리얼 로컬 버스(120)와 비교해보면, 본 발명에 의해 액세스 요구를 처리하면 대기 시간이 단축된다. 액세스시 대기 시간이 단축되므로, 기능 모듈(101 내지 109)내의 내부 버퍼의 필요성이 또한 감소하여, 재조 비용이 감소한다.

도 2의 구조에서, 각각의 기능 모듈은 시스템 메모리 주소 또는 다른 식별 수단(identification means)을 사용하여 특정한 동작을 한다. 기능 모듈은 이러한 식별 수단을 매순간 사용하여 PMC(200)를 통해 동작하길 원한다(즉, 호스트 기기(130)에 데이터를 송수신할 필요가 있다). 기능 모듈이 호스트 컴퓨터와 송수신할 때, 기능 모듈은 데이터와 함께 식별 정보를 PMC에 전송하고, 액세스를 요구한다. PMC(200)는 입력되는 액세스 요구를 평가하고, 진행중인 다른 기능 모듈의 액세스 요구와 비교한다. PMC(200)는 입력되는 다수의 액세스 요구를 한번에 처리할 수 있으며, 우선순위, 효율성, 타이밍, 또는 다른 예정된 파라메터에 근거하여 순서대로 스케줄링한다. PMC(200)는 예정된 파라메터 리스트에 따라 프로그램되어 있으며, 상기 파라메터는 이후에 갱신되거나 수정될 수 있다.

도 3은 본 발명의 일실시예에 따라, 도 2의 PMC(200)내에 배치된 다양한 기기들을 도시하는 블록 선도이다. PMC(200)는 데이터 유효 논리(301:DVL), 우선순위 분배 논리(303:PRL), 액세스 승인 논리(AGL:305), 방향 및 데이터형 제어 논리(307:DDFCL), 시스템 인터페이스 코어 논리(309:SICL)를 포함한다.

SICL(309)는 호스트 기기(130)와 PMC(200) 사이의 인터페이스를 제공한다. SICL(309)은 단방향 제어 링크(321), 양방향 데이터 링크(322), 및 단방향 주소 링크(323)를 통해 호스트 기기(130)에 바로 접속된다. 양방향 제어 링크(321)는 1개 이상의 개별적인 제어 링크를 포함할 수 있다. 호스트 기기(130)가 시스템 메모리이면, 이런 제어 링크는 칩 선택(chip select), 기록 허가(write enable), 판독 또는 기록

동작 지시기(read/write operation indicator), 및 출력 허가(output enable)를 포함한다. 양방향 데이터 링크(322)는 '판독' 또는 '기록' 동작 동안 데이터 교환에 사용된다. 단방향 주소 링크(323)는 현재 호스트 기기(130)와 통신하고 있는 특정 기능 모듈의 식별 수단을 인식하거나 호스트 기기 주소를 인식하는데 사용된다.

또한, SICL(309)는 양방향 데이터 링크(325) 및 양방향 제어 데이터 링크(326)를 통해 DDFCL(307)에 바로 접속된다. DDFCL(307)은 포트(A 내지 G)로 도시된 7개의 다른 포트로 구성되며, 도 2에 도시된 기능 모듈(101 내지 109)의 구조를 갖는다. 각각의 포트(A 내지 G)는 2개의 단방향 입력 데이터 링크, 곧 주소 링크(329) 및 판독/기록(R/W) 제어 링크(331)를 포함한다. 또한, 각각의 포트는 단방향 출력 데이터 링크(333), 단방향 입력 데이터 링크(335), 또는 양방향 데이터 링크(337)를 가진다. 주소 링크(329)는 대응하는 기능 모듈로부터 예를 들어 시스템 메모리 주소 또는 다른 식별 수단인 입력 데이터를 수신한다. 제어 링크(331)는 대응하는 기능 모듈로부터 제어 핸드셰이크(handshake)를 수신한다. 도 2의 구조 예에서, 포트(A, B)는 단방향 데이터 출력 링크(333)로 구성된다. 포트(C)는 단방향 데이터 입력 링크(335)로 구성되며, 포트(D 내지 G)는 양방향 데이터 링크(337)로 구성된다.

DDFCL(307)은 또한 내부의 접속을 통해 DVL(301), PRL(303), 및 AGL(305)에 접속된다. 기능 모듈은 DDFCL(307)과의 데이터 링크와 주소 링크만을 가지나, 제어 링크는 기능 모듈과 DVL(301), PRL(303), AGL(305) 사이에 존재한다.

DVL(301)은 단방향 출력 제어 링크(343)를 통해 기능 모듈(101 내지 109)에 접속된다. DVL(301)은 각각 기능 모듈(101 내지 109)에 대응하는 7개의 포트(A 내지 G)를 포함한다. 각각의 제어 링크(343)는 데이터 유효(DV) 신호를 대응하는 기능 모듈(101 내지 109)에 전송하는 단방향 출력 제어 링크이다. DV 신호는 데이터 교환이 DDFCL(307)에서 허가되는지 표시한다. 단방향 출력 데이터 링크(333)를 가진 포트에 대해, 상기 DV 신호는 '하이'로 설정되어 기능 모듈이 판독 동작을 위해 데이터를 수신함을 나타낸다. 단방향 입력 데이터 링크(335)를 가진 포트에 대해, 상기 DV 신호는 '로우'로 설정되어 기능 모듈이 판독 동작을 위해 데이터를 수신하지 않음을 나타낸다. 양방향 데이터 링크(337)를 가진 포트에 대해, 상기 DV 신호는 기록 동작 동안 '로우'이고, 판독 동작 동안 '하이'이다.

PRL(303)은 단방향 입력 제어 링크(345)를 통해 기능 모듈(101 내지 109)에 접속된다. PRL(303)은 각각 기능 모듈(101 내지 109)에 대응하는 7개의 포트(A 내지 G)를 포함한다. PRL(303)은 다른 단방향 입력 제어 링크(345)를 통해서 각각의 기능 모듈(101 내지 109)로부터 액세스 요구(REQ) 신호를 수신할 수 있다.

AGL(305)는 단방향 출력 제어 링크(341)를 통해 기능 모듈(101 내지 109)에 접속된다. AGL(305)는 각각 기능 모듈(101 내지 109)에 대응하는 7개의 포트(A 내지 G)를 포함한다. AGL(305)는 단방향 출력 제어 링크(341)를 통해 액세스 승인(AG) 신호를 기능 모듈(101 내지 109)에 전송할 수 있다.

특정 기능 모듈은 대응하는 입력 제어 링크(345)를 통해 대응하는 REQ 신호를 PRL(303)에 설정하고, 대응하는 R/W 제어 링크(331)를 통해 대응하는 R/W 제어 신호를 DDFCL(307)에 설정하여 PMC(200)과의 통신을 초기화한다. 상기 REQ 신호는 호스트 기기(130)에 액세스를 요구하는 신호이고, 상기 R/W 제어 신호는 판독 또는 기록을 요구하는 신호이다. 예를 들어, 기능 모듈(103)이 호스트 기기와 통신하길 원하면, 기능 모듈(103)은 입력 제어 링크(345)를 통해 REQ 신호를 대응하는 RRL(303)의 포트(D)에 전송하고 R/W 제어 링크(331)를 통해 제어 신호를 대응하는 DDFCL(307)의 포트(D)에 전송하여 PMC(200)과의 통신을 초기화한다. PRL(303)은 REQ 신호를 분해하고 기능 모듈(101)에 대한 액세스의 승인 여부를 결정한다. PRL(303)이 액세스를 승인하면, 제어 신호가 PRL(303)으로부터 AGL(305)에 전송되고, 내부 접속(339)을 통해 DVL(301)에 전송된다. 그 다음에 AGL(305)은 출력 제어 링크(341)의 포트(D)를 통해 액세스 승인(AG) 신호를 기능 모듈(103)에 전송한다.

상기 AG 신호가 제어 링크(341)상으로 전송된 후 기능 모듈(103)이 호스트 기기(130)에 기록 동작을 실행하려면, 대응하는 주소 링크(329)와 데이터 링크(337)는 DDFCL(307)에서 동기화되어야 한다. 그 다음에 DDFCL(307)과 SICL(309)을 통해 데이터가 기능 모듈(103)로부터 호스트 기기(130)에 기록된다. 이런 동작 동안 상기 DV 신호는 '로우' 상태에 있다.

또는, 상기 AG 신호가 설정될 때 기능 모듈(103)이 호스트(130)로부터 판독을 실행하려면, 대응하는 동기화된 주소가 기능 모듈(103)로부터 호스트 기기(130)에 전달된다. 상기 데이터가 호스트 기기(130)에서 판독될 때, DVL(301)에서 기능 모듈(103)까지 데이터 기록이 가능하도록 상기 DV 신호가 설정된다.

예를 들어, 기능 모듈(103)이 호스트 기기(130)에 전송할 데이터를 1 워드 이상 가지면, REQ 신호가 기능 모듈(103)에 의해 PRL(303)에 계속해서 설정된다. 담신으로, PRL(303)은 내부 접속(339)을 통해 제어 신호를 AGL(305)에 계속해서 설정할 것이며, 이때 REQ 신호 및 제어 신호의 지속 시간은 클럭 신호수 만큼이며, 각각의 클럭 신호마다 데이터를 1 워드씩 전송한다. 호스트 기기(130)에서 동작을 쉽게 하려면, 버스트 신호가 기능 모듈(103)에서 DDFCL(301)로의 입력 신호로 사용되며, 버스트 신호는 신호가 설정되는 동안에 전송될 예정된 워드 수를 나타낸다.

PMC(200) 및 이에 연관된 논리 회로 소자는 동작시 가요성을 지닌다. 호스트 기기(130)가 시스템 메모리이면, 1워드 미만의 데이터는 다른 기능 모듈이 서비스 받기 전에 기능 모듈로부터 호스트 기기(130)에 전송된다. 호스트 기기(130)가 CPU이면, 데이터 교환은 일반적으로 데이터 버스트나 데이터 스트림으로 표현된다. 이런 경우, 전송된 데이터 워드수는 버스트, 패킷, 또는 스트림 크기와 일치한다. PMC(200)는 1 워드에서 다수 워드까지 다양한 길이의 데이터를 가진 여러 기능 모듈로부터 액세스 요구를 승인하는 능력을 구비한다. 그러므로, PMC(200)는 기능 모듈의 버퍼를 최소화하면서 고성능을 낼 수 있다.

PMC(200)는 또한 기능 모듈(101 내지 109)사이의 부하 균형을 통적으로 맞춘다. PMC(200)내의 PRL(303)은 높은 우선순위를 가진 기능 모듈이 낮은 우선순위를 가진 기능 모듈보다 먼저 액세스를 승인하도록 보장하기 위해 각각의 입력된 요구를 분해한다. 이것을 완성하기 위해, 두 가지 형의 우선순위 원리가 사용된다. 제 1 원리에서, 기능 모듈은 우선순위 요구를 설정할 시기에 대한 결정권과 능력을

가진다. 상기 원리에서, 각각의 기능 모듈은 두가지 유형의 요구, 즉 정상순위 및 우선순위를 설정할 능력을 가진다. 일반적으로, 정상순위 요구가 설정된 상태에서 기능 모듈이 호스트 기기(130)에 즉시 액세스를 승인 받아야하면(즉, 기능 모듈이 데이터 손실 상태에 있을 때), 우선순위 요구가 설정된다.

제 2 우선순위 원리에서, PMC(200)는 우선순위 요구를 평가하고 설정하는 우선순위 분해 논리를 구비한다. 이것을 완성하기 위해, PRL(303) 각각의 포트에 대한 가중값을 포함하는 우선순위 레지스터가 각각 제공된다. 포트의 가중값은 단위 시간동안 승인된 액세스 요구수를 세어 계산한다. 최고 액세스 요구 수를 가진 포트는 최대 가중값을 갖고, 상기 포트에 접속된 기능 모듈은 높은 우선순위 기능 모듈로 간주된다. 최소 요구수를 가진 포트는 최소 가중값을 갖고, 상기 포트에 접속된 기능 모듈은 낮은 우선순위 기능 모듈로 간주된다. 모든 포트에 대한 가중값들의 합은 호스트 기기(130)의 임계 대역폭을 넘지 않는다. 입력되는 총 요구수가 사용 임계 대역폭 이하이면, 각각의 포트의 가중값은 재분배되어 특정 포트가 호스트 기기(130)에 액세스할 기회를 잃지 않도록(즉, 기회를 거부당함) 보장한다. 각각의 포트의 가중값과 우선순위는 계속 모니터링되고, 포트당 요구 비율을 평가함으로써 주기적으로 조정된다. 상기 조정으로 부하 상태를 동적으로 조정하여 대역폭 사용의 효율성을 증가시킨다.

PMC(200)는 또한 기능 모듈을 수정없이 재사용할 수 있다. 단일 컴퓨터 또는 통신 시스템에서 사용되는 기능 모듈이 새로운 반도체 기술을 사용한 다른 시스템에 배치될 필요가 있을 때, 오래된 시스템의 두지점간 접속을 수정없이 적용할 수 있다. 종래의 버스 구조와 다르게 본 발명의 두지점간 접속은 새로운 기술에 영향을 받지 않으며, 최대 사용 동작 주파수를 내기 위한 재균형 작동이 필요하지 않다. 그러므로, 새로운 기술을 기능 모듈에 적용할 때 최소 비용으로 가능하다.

PMC(200)는 또한 버스 디자인 및 구조의 변경없이 기능 모듈내의 변동을 처리할 수 있다. 어떤 기능 모듈이 제거되거나 부가되며, 그에 대응하는 PMC(200)에 접속된 두지점간 접속은 각각 단순하게 제거되거나 부가된다. 다른 기능 모듈의 두지점간 접속 및 동작 특성에 영향을 주지 않는다.

본 발명에 따른 일실시예가 회로 처리에 대해서만 설명되었지만, 본 발명은 이에 제한되지 않는다. 회로 소자의 다양한 기능이 소프트웨어 프로그램 처리 단계에 따라 디지털 방식으로 실행되는 것은 본 기술 분야의 당업자에게 명백하다. 이런 소프트웨어는 예를 들어, 디지털 신호 프로세서, 마이크로 제어기, 범용 컴퓨터에 사용가능하다.

청구항에 표현된 본 발명의 영역에서 벗어남 없이 당업자는 본 발명의 본질을 설명하기 위한 세부 사항, 재료, 및 포트의 배치를 다양하게 변경할 수 있음은 물론이다.

발명의 효과

PMC는 데이터 교환이 현재 진행중일지라도 액세스 요구를 수신하고 처리하여 사용 대역폭을 효율적으로 사용할 수 있다. 또한, 부하 상태에 따라 다이나믹하게 적용할 수 있으며, 사용 대역폭을 효과적으로 이용하기 위해 입력되는 액세스 요구를 재배열한다. 그러므로, PMC는 대기 시간을 단축시키고, 컴퓨터 또는 통신 시스템의 성능을 향상시킨다. 또한 PMC에 새로운 모듈이 부가되거나 오래된 모듈이 제거될 때 버스 구조를 변경할 필요가 없으며, 오래된 모듈을 재사용할 수도 있다. 또한 PMC는 내부 버퍼의 용량을 줄여서 제조 비용을 낮추는 효과가 있다.

(57) 청구의 범위

청구항 1

다수의 기능 모듈에 의한 호스트 기기에 대한 액세스를 제어하는 포트 매니저 제어기(PMC:port manager controller)에 있어서,

- (a) 호스트 기기에 접속되도록 구성된 호스트 기기 포트 및;
- (b) 각각 하나의 기능 모듈에 두지점간 접속 방식으로 접속되는 2개 이상의 기능 모듈 포트를 포함하며,

상기 PMC는 PMC의 제 1 기능 모듈 포트에서 제 1 기능 모듈로부터 제 1 액세스 요구를 수신하고, 상기 호스트 기기 포트 및 상기 제 1 기능 모듈 포트를 통해 상기 제 1 기능 모듈과 상기 호스트 기기 사이의 데이터 교환을 위한 제 1 액세스 세션을 스케줄링하는 포트 매니저 제어기.

청구항 2

제 1 항에 있어서, 상기 PMC는 제 1 액세스 세션 동안 제 1 기능 모듈과는 다르게 제 2 기능 모듈의 제 2 액세스 요구를 허가하는 포트 매니저 제어기.

청구항 3

제 2 항에 있어서, 상기 PMC는 제 2 기능 모듈이 다른 액세스 요구를 전송하지 않아도 제 2 액세스 요구에 따라 제 2 기능 모듈과 호스트 기기 사이의 데이터 교환을 위한 제 2 액세스 세션을 스케줄링하는 포트 매니저 제어기.

청구항 4

제 1 항에 있어서, 상기 PMC는 다른 기능 모듈에 관련한 제 1 기능 모듈의 우선순위에 근거하여 제 1 액세스 세션을 스케줄링하는 포트 매니저 제어기.

청구항 5

제 4 항에 있어서, 상기 PMC는 제 1 기능 모듈의 우선순위에 근거하여, 최소한 개시 시간 및 제 1 액세스 세션의 지속시간을 제어하는 포트 매니저 제어기.

청구항 6

제 1 항에 있어서, 2개 이상의 기능 모듈 포트는 최소한 단일 기능 모듈에 접속된 포트 매니저 제어기.

청구항 7

제 1 항에 있어서, 각각의 기능 모듈 포트는 양방향 포트나 단방향 포트 중 하나로 동작하도록 개별적으로 프로그램될 수 있는 포트 매니저 제어기.

청구항 8

제 1 항에 있어서, 상기 두지점간 접속은 단방향 접속인 포트 매니저 제어기.

청구항 9

제 1 항에 있어서, 상기 두지점간 접속은 양방향 접속인 포트 매니저 제어기.

청구항 10

제 1 항에 있어서, 상기 PMC는

(a)호스트 기기에 접속된 시스템 인터페이스 코어 논리(SICL);

(b)상기 SICL에 접속되고 다수의 DDFCL 포트를 통해 기능 모듈에 접속된 방향 및 데이터형 제어 논리(DDFCL);

(c)상기 DDFCL에 접속되고 다수의 AGL 포트를 통해 기능 모듈에 접속된 액세스 승인 논리(AGL);

(d)상기 DDFCL에 접속되고 다수의 PRL 포트를 통해 기능 모듈에 접속된 우선 순위 분해 논리(PRL) 및;

(e)상기 PRL에 접속되고 다수의 DVL 포트를 통해 기능 모듈에 접속된 데이터 유효 논리(DVL)를 포함하며;

상기 PRL 및 DDFCL은 대응하는 PEL 및 DDFCL 포트들을 통해 호스트 기기에 액세스 요구를 하는 1개 이상의 제어 신호를 기능 모듈로부터 수신하며;

상기 PRL은 상기 기능 모듈에 대한 액세스의 승인여부를 결정하고;

상기 PRL이 액세스를 승인하면, 상기 AGL은 대응하는 AGL 포트를 통해 액세스 승인 신호를 기능 모듈에 전송하며;

상기 기능 모듈에 의한 액세스 동안, 상기 대응하는 DDFCL 포트를 통해 상기 SICL 및 DDFCL을 경유하여 데이터를 교환하며, 상기 DVL은 대응하는 DVL 포트를 통해 데이터 유효 신호를 기능 모듈에 전송하는 포트 매니저 제어기.

청구항 11

제 10 항에 있어서, 상기 PRL, AGL, DVL, 및 DDFCL은 내부 버스를 통해 통신하는 포트 매니저 제어기.

청구항 12

제 10 항에 있어서, 상기 PRL은 각각의 기능 모듈에 관련하여 우선순위 정보를 기억하는 레지스터를 포함하는 포트 매니저 제어기.

청구항 13

제 12 항에 있어서, 상기 PRL은 각각의 기능 모듈로부터 액세스 요구수를 모니터할 수 있으며, 모니터링 한 정보에 근거하여 레지스터의 우선순위 정보를 갱신할 수 있는 포트 매니저 제어기.

청구항 14

제 12 항에 있어서, 상기 PRL은 제어 신호를 상기 AGL에 발생시키기 전에 레지스터의 우선순위 정보를 평가할 수 있는 포트 매니저 제어기.

청구항 15

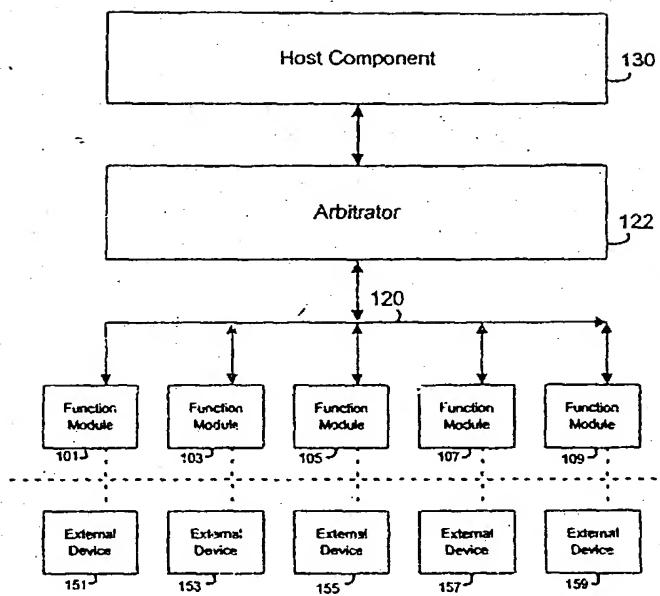
제 10 항에 있어서, 상기 PRL은 각각의 기능 모듈로부터 정상순위 액세스 요구 또는 우선순위 액세스 요구를 처리할 수 있는 포트 매니저 제어기.

청구항 16

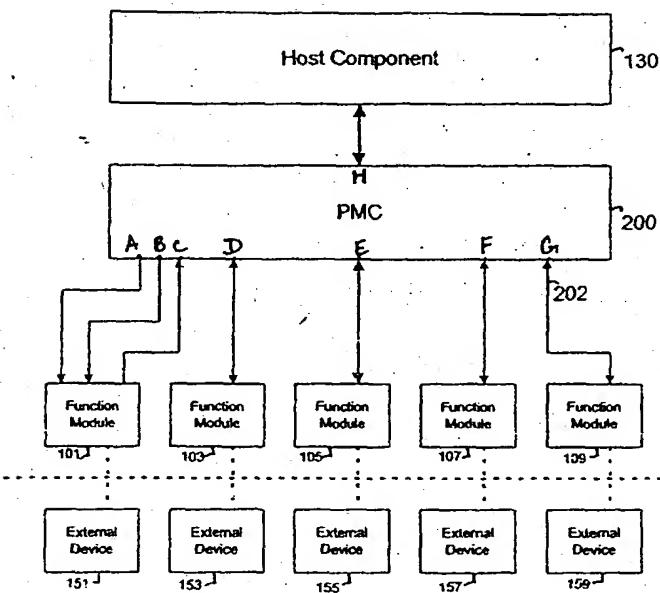
제 10 항에 있어서, 상기 DDFCL의 각각의 포트는 독립적 혹은 선택적으로 단방향 입력 포트, 단방향 출력 포트, 또는 양방향 포트로 구성되는 포트 매니저 제어기.

도면

도면1



도면2



도면3

